

Requested Patent: JP8055084A

Title:

ZERO LATENCY SYNCHRONIZER METHOD AND APPARATUS FOR SYSTEM
HAVING AT LEAST TWO CLOCK DOMAINS. ;

Abstracted Patent: EP0678990, A3 ;

Publication Date: 1995-10-25 ;

Inventor(s): ROGERS ALAN C (US) ;

Applicant(s): SUN MICROSYSTEMS INC (US) ;

Application Number: EP19950302556 19950418 ;

Priority Number(s): US19940230489 19940420 ;

IPC Classification: H04J3/06 ; H04L7/02 ;

Equivalents: US5548620

ABSTRACT:

A method and apparatus for implementing a zero latency synchronizer that advantageously permits the reliable transfer of data between clock domains by placing a metastability delay in the clock path. The present invention permits data to be reliably transferred between clock domains faster than could be accomplished if there was a data path metastability delay without introducing a sacrifice in data transfer reliability. The zero latency synchronizer for synchronizing a signal from a first clock domain to a second clock domain is formed from a clock regenerator circuit and input and output master slave flip flops. The clock regenerator receives a first clock from the first clock domain and a second clock from the second clock domain and generates first and second regenerated clock signals. The first and second regenerated clock signals are formed in a manner that guarantees that the first and second regenerated clocks, in conjunction with the first and second clocks, can be used to control the input and output master slave flip flops and thereby pass data reliably from one clock domain to the other without delay. The master and the slave of the input flip flop are controlled respectively by the first clock domain clock and by the first regenerated clock. In turn, the master and slave of the output flip flop are respectively controlled by the second regenerated clock and by the second clock domain clock. A signal to be transferred from the first clock domain to the second clock domain is input to the master of the input flip flop. The output from the slave of the input flip flop is provided as input to the master of the output flip flop. Accordingly, the output of the slave of the output flip flop is the signal from the first domain synchronized to the second.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-55084

(43)公開日 平成8年(1996)2月27日

(51)Int.Cl.⁶

G 06 F 13/42
1/12

識別記号 庁内整理番号

350 A 9072-5E

F I

技術表示箇所

G 06 F 1/04 340 A

審査請求 未請求 請求項の数3 FD (全14頁)

(21)出願番号 特願平7-117713

(22)出願日 平成7年(1995)4月20日

(31)優先権主張番号 230489

(32)優先日 1994年4月20日

(33)優先権主張国 米国(US)

(71)出願人 591064003

サン・マイクロシステムズ・インコーポレーテッド

SUN MICROSYSTEMS, INCORPORATED

アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アベニュー・2550

(72)発明者 アラン・シイ・ロジャース

アメリカ合衆国 94303 カリフォルニア州・バロ アルト・ローマ ヴィード・983

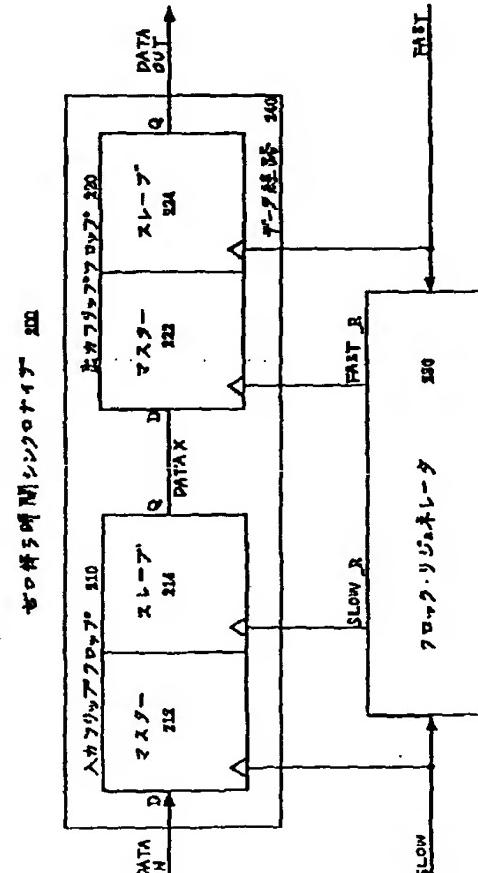
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 少なくとも2つのクロック・ドメインを有するシステムに対して待ち時間ゼロで同期する装置及び方法

(57)【要約】

【目的】 本発明の目的は、クロック経路に不安定整定期延を挿入することによって、クロック・ドメイン間のデータの確実な転送を効果的に行うことができるゼロ待ち時間シンクロナイザを実施するための方法及び装置を提供することにある。

【構成】 第1のクロック速度で動作する第1の回路と第2のクロック速度で動作する第2の回路を結合するとともに、再生クロック信号に応答して上記第1の回路から上記第2の回路へデータを転送するためのデータ経路の回路を設け、上記再生クロック信号を発生させるためのクロック・リジェネレータ回路を上記データ経路に結合する。



【特許請求の範囲】

【請求項1】 第1のクロック速度で動作する第1の回路と第2のクロック速度で動作する第2の回路とを結合するための装置において、

上記第1の回路と上記第2の回路を結合するとともに、再生クロック信号に応答して上記第1の回路から上記第2の回路へデータを転送するデータ経路の回路と、

上記データ経路と結合されていて、上記再生クロック信号を発生させるクロック・リジェネレータ回路と、を具備した装置。

【請求項2】 第1のクロック速度で動作する第1の回路と第2のクロック速度で動作する第2の回路とを結合するための方法において、

再生クロック信号に応答して上記第1の回路から上記第2の回路へデータを転送するデータ経路の回路を設けるステップと、

データ経路の回路用に上記再生クロック信号を発生させるステップと、を具備した方法。

【請求項3】 第1のクロック速度で動作する第1の回路及び第2のクロック速度で動作する第2の回路を有するコンピュータシステムを形成する方法において、

上記第1の回路と上記第2の回路を結合するとともに、再生クロック信号に応答して上記第1の回路から上記第2の回路へデータを転送するためのデータ経路の回路と、

上記データ経路に結合されていて、上記再生クロック信号を発生させるためのクロック・リジェネレータ回路と、を具備した装置で上記第1の回路と上記第2の回路を結合するステップを具備した方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ及びデジタル製品の全分野に関し、より詳しくは、デジタルシステムにおけるクロック・ドメインの間を伝送される信号を同期させるための装置及び方法に関する。

【0002】

【従来の技術】 デジタルシステムは、複数のデジタル・サブシステムを用いることがしばしばある。これらのデジタル・サブシステムが同期して同じクロックで動作する場合は、これらのデジタル・サブシステムの間で伝送される信号の同期化は不要である。しかしながら、これらのデジタル・サブシステムが異なるクロックとで動作する場合は、これらのデジタル・サブシステムの間で伝送される信号を同期させなければならない。例えば、コンピュータシステムが一つの周波数で動作するのに対して、プロセッサは別の周波数で動作する場合などである。

【0003】 一方のクロック・ドメインからもう一方のクロック・ドメインへデータの転送を可能にする非同期インターフェース回路はシンクロナイザとして知られていて

る。このような同期化を行わないと、準安定または不安定の問題によって無効な論理結果が生じ、これによってデジタルシステムが障害を起こす。不安定状態は、特定のクロック・ドメインにおけるフリップフロップに入力された信号がそのフリップフロップのセットアップ時間またはホールド時間に関する必要条件を満足しないときに起こる。基本的に、第1のクロック・ドメインにおけるフリップフロップが適切に動作するためには、その入力信号は、フリップフロップがクロッキングされるま

10 でのある一定時間(セットアップ時間)の間安定しているければならず、かつフリップフロップがクロッキングされてからある一定時間(ホールド時間)安定した状態を維持しなければならない。第2のクロック・ドメインからの信号は、第1のクロック・ドメインのクロックに同期していない場合、必ずしも上記のような条件を満たすとはかぎらない。その結果、そのようなフリップフロップの入力信号は、フリップフロップを出力がちょっとの間ロジック0とロジック1の間のあるレベルを取る「準安定状態」に陥らせることがある。フリップフロップは、最終的には「解消時間(resolution time)」と呼ばれる有限時間後に正しい論理レベルに整定される。すなわち、正しい論理レベルに落ち着く。フリップフロップが不安定状態にある間、フリップフロップは予測不可能な論理結果を生じ、システム障害を引き起こすことがある。従って、シンクロナイザ回路においては、不安定の問題に対処し、これを解消しなければならない。

【0004】 ここで図1を参照すると、2つのクロック・ドメインと従来技術のシンクロナイザを有するデジタルシステム100がブロック図形式で示されている。図示のように、システム100は、3つの主要ブロックで構成されている。最初の2つのブロック、すなわちクロック・ドメインX110とクロック・ドメインY120には、それぞれこれら2つのクロック・ドメイン用の全ての論理素子が含まれている。第3のブロック、すなわちシンクロナイザ・ブロック130には、2つのクロック・ドメインの間で伝送される信号を同期させるために用いられる全ての論理素子が含まれている。また、図示システムは、クロック・ドメインXにクロックを供給するためのXクロック、及びクロック・ドメインYにクロックを供給するためのYクロックを有する。

【0005】 シンクロナイザ・ブロックは、2つのサブシンクロナイザ・ブロック、すなわちXYシンクロナイザ140及びYXシンクロナイザ150で形成されている。クロック・ドメインX110からクロック・ドメインY120へ伝送される信号S(XY)は、クロック・ドメインX110からXYシンクロナイザ・ブロック140に結合されている。ブロック140は、クロック・ドメインX110からの信号S(XY)を同期化し、同期化した信号S'(XY)をクロック・ドメインY12

0に供給する。同様に、クロック・ドメインY120からクロック・ドメインX110に伝送される信号S(YX)は、クロック・ドメインY120からYXシンクロナイザ・ブロック150に結合されている。ブロック150は、クロック・ドメインY120からの信号S(YX)を同期化し、同期化した信号S'(YX)をクロック・ドメインX110に供給する。図1に示すように、Xクロック及びYクロックは、どちらもシンクロナイザ・ブロック130にクロックを供給し、シンクロナイザ・ブロック130はこのクロッキングを利用して信号の同期化を達成する。

【0006】XYシンクロナイザ140とYXシンクロナイザ150は、同様の部品で構成されており、互いに同様に動作する。シンクロナイザ140と150は、どちらも入力フリップフロップ、整定フリップフロップ及び出力フリップフロップで構成されている。入力フリップフロップは、入力信号を供給しているドメインのクロックによってクロッキングされる。整定フリップフロップ及び出力フリップフロップは、信号の伝送先のドメインのクロックによってクロッキングされる。例えば、XYシンクロナイザ140の場合、フリップフロップ142が入力フリップフロップである。入力フリップフロップ142は、Xクロックによってクロッキングされ、その入力として信号S(XY)を受け取る。フリップフロップ144及び146は、それぞれXYシンクロナイザ140の整定フリップフロップ及び出力フリップフロップである。これらのフリップフロップ144及び146は、Yクロックによってクロッキングされる。整定フリップフロップ144は、入力フリップフロップ142(Xクロックでクロッキングされる)からの出力を受け取り、その信号を1Yクロック周期の間に整定させてから、出力フリップフロップ146へ転送する。すると、出力フリップフロップ146は、整定フリップフロップ144によって供給された信号を1Yクロック周期の間保持してから、同期化された出力信号S'(XY)をクロック・ドメインY120に供給する。

【0007】通常は、整定フリップフロップ144なしでも、データはクロック・ドメインXからクロック・ドメインYへ正しく転送される。しかしながら、時には、Xクロック・ドメインよりYクロック・ドメインのクロックパルスが、時間的に互いに非常に近接して変化するため、出力フリップフロップ146のセットアップ時間またはホールド時間の必要条件が満たされないことがある。その結果、不安定状態が起こって、出力フリップフロップ146により出力される信号の値が正しくなったり、正しくならなかったりする場合がある。整定フリップフロップ144は、1Yクロック周期の遅延を導入して、その間に全ての不安定状態が解消されるようにするためのものである。不安定状態を所望の信頼度レベルまで解消するのに1Yクロック周期で不十分な場合は、2

つのドメインの間の経路に整定フリップフロップをさらに追加挿入する。

【0008】YXシンクロナイザ150は、XYシンクロナイザ140に関して対称性を有する。例えば、YXシンクロナイザ150においては、入力フリップフロップ152は、Yクロックによってクロッキングされ、クロック・ドメインY120から信号S(YX)を受け取る。整定フリップフロップ154及び出力フリップフロップ156は、それぞれXクロックによってクロッキングされる。出力フリップフロップ156は、出力として同期化された信号S'(YX)をクロック・ドメインX110に供給する。

【0009】

【発明が解決しようとする課題】図1に示す従来技術のシンクロナイザには著しい欠点があるということは理解できよう。特に、整定フリップフロップ144及び154では、各々1クロック周期の遅延が導入される。しながら、最近のデジタル設計においては、速度と性能がますます重要になっている。最新のコンピュータシステムでは、高周波クロッキングを用いることが要求される一方、システム障害を最小にすることも要求され、シンクロナイザ遅延は、あっても極めて小さいことが求められる。次々により高速のコンピュータシステムが設計され、実用化されるに従い、高速度と高性能に向かう傾向は今後も続くと予測することができる。従って、信号がクロック・ドメインの境界を横切る際、常に整定遅延期間を挿入することは、しだいに望ましくなりつつある。

【0010】

【課題を解決するための手段】本発明は、クロック経路に不安定整定遅延を挿入することによって、クロック・ドメイン間のデータの確実な転送を効果的に行うことができるゼロ待ち時間シンクロナイザを実施するための方法及び装置にある。クロック経路に遅延を導入すると、データをデータ経路(データバス)を介して常に確実に転送することを可能ならしめるクロック信号を発生させることができる。同時に、クロック信号の周期性のために、データ経路を介してのデータ転送の効率低下を招くことなく遅延を導入することが可能である。このようにして、従来技術におけるように、データ経路に不安定整定遅延を導入する必要がなくなる。従って、本発明は、データ転送の信頼性を犠牲にすることなく、クロック・ドメイン間で、データ経路に不安定整定遅延を導入する場合に比べて高速で確実にデータを転送することができる。不安定整定遅延を、データ経路ではなくクロック経路に導入することによって、データは、遅延なしで確実にクロック・ドメイン間で転送することができる。

【0011】第1のクロック・ドメインから第2のクロック・ドメインへの信号を同期化するためのゼロ待ち時間シンクロナイザは、クロック・リジェネレータ回路と

入力マスター／スレーブ・フリップフロップ及び出力マスター／スレーブ・フリップフロップを用いて形成される。クロック・リジェネレータは、第1のクロック・ドメインから第1のクロックを受け取り、第2のクロック・ドメインからの第2のクロックを受け取って、第1及び第2の再生クロック信号を発生させる。第1及び第2の再生クロック信号は、それらの第1及び第2の再生クロックを第1及び第2のクロックと共に使用して、確実に入力及び出力マスター／スレーブ・フリップフロップを制御することができ、これによってデータを遅延なしに一方のクロック・ドメインから他方のクロック・ドメインに確実に転送することができるよう形成される。

【0012】入力フリップフロップのマスターとスレーブは、それぞれ第1のクロック・ドメインのクロック及び第1の再生クロックによって制御される。他方、出力フリップフロップのマスターとスレーブは、それぞれ第2の再生クロック及び第2のクロック・ドメインのクロックによって制御される。第1のクロック・ドメインから第2のクロック・ドメインへ転送される信号は、入力フリップフロップのマスターに入力される。入力フリップフロップのスレーブからの出力は、出力フリップフロップのマスターに入力として供給される。従って、出力フリップフロップのスレーブの出力は、第2のクロック・ドメインのクロックに同期化された第1のクロック・ドメインのクロックからの信号である。

【0013】以下、本発明の方法及び装置を、添付図面を参照しつつ実施例により詳細に説明する。

【0014】

【実施例】以下の説明においては、本発明の完全な理解を図るために、説明の便宜上特定の数値、材料及び構成を記載する。しかしながら、本発明は、これらの特定的な詳細事項の記載なしでも実施することができるということは、当業者にとって明らかであろう。その他の場合については、不必要に本発明を不明瞭にしないために、周知のシステムは図表あるいはブロック図形式で示してある。

【0015】図2は、本発明による構成されたゼロ待ち時間シンクロナイザを示すブロック図である。ゼロ待ち時間シンクロナイザ200は、データが第1のクロック・ドメインから第2のクロック・ドメインへ非同期で転送されるあらゆる状況に適用可能である。例えば、コンピュータシステムの内部においては、プロセッサが、コンピュータシステムの他の部分と通信するために使用するバスのクロック速度と異なるクロック速度で動作することはごく普通のことである。

【0016】図示のゼロ待ち時間シンクロナイザ200は、入力マスター／スレーブ・フリップフロップ210、出力マスター／スレーブ・フリップフロップ220及びクロック・リジェネレータ230によって構成されている。入力マスター／スレーブ・フリップフロップ2

10と出力マスター／スレーブ・フリップフロップ220は、両者でデータ経路240を形成する。このシンクロナイザ200は、遅いクロック信号(SLOW)によって制御される低速クロック・ドメインからの信号DATA INを早いクロック信号(FAST)によって制御される比較的高速のクロック・ドメインに同期させ、同期化した信号DATA OUTを高速クロック・ドメインに供給する。

【0017】信号DATA INは、低速クロック・ドメインから入力フリップフロップ210のマスター212に入力される。信号DATA Xは、入力フリップフロップ210のスレーブ214から出力フリップフロップ220のマスター222に入力される。信号DATA OUTは、出力フリップフロップ220のスレーブ224によって高速クロック・ドメインに供給される。入力フリップフロップ210のマスター212及びスレーブ214は、クロック信号SLOW及びSLOW_Rによってそれぞれ制御される。出力フリップフロップ220のマスター222及びスレーブ224は、クロック信号FAST_R及びFASTによってそれぞれ制御される。クロック・リジェネレータ230は、クロック信号SLOW及びFASTを受け取り、クロック信号SLOW_R及びFAST_Rを発生させる。これらの再生クロックは、相互間並びにクロック信号FAST及びSLOWとの間の相容性または適合性が最大となるよう、デューティサイクルをできるだけ小さくする。

【0018】クロック信号SLOWとFASTは、相いに非同期である。しかしながら、クロック・リジェネレータ230は、クロック信号SLOW及びFASTから、クロック信号SLOW_R及びFAST_Rをこれらが互いに同期するようにして発生させる。さらに、クロック・リジェネレータ230は、クロック信号SLOWから、これに確実に同期するようにしてクロック信号SLOW_Rを発生させる。さらに、クロック・リジェネレータ230は、クロック信号FASTから、これに確実に同期するようにしてクロック信号FAST_Rを発生させる。ここで注意しなければならないのは、本願で使用する「同期(化)した」という用語は、互いに同期したクロックは周波数及びパルス幅が同じであるということを必ずしも意味するものではないということである。本願で使用する「同期(化)」という用語は、むしろ2つの信号の間の適合性または相容性を意味する。

【0019】信号DATA INは、クロック信号SLOWによって制御され、入力フリップフロップ210のマスター212に入力される。マスター212もクロック信号SLOWによって制御されるので、マスター212が不安定性の導入を伴うことなく信号DATA INをラッチすることは明白である。一方、スレーブ214は、クロック信号SLOW_Rによって制御され、マスター212の出力を受け取る。信号SLOW_Rは、そ

の立ち上がりエッジがクロックSLOWの立ち上がりエッジからわずかに遅れて（ただし可変）立ち上がり、かつその立ち下がりエッジがクロックSLOWの立ち下がりエッジよりはるか前に現れるように発生するようになされており、一方マスター212はクロック信号SLOWによって制御されるので、スレーブ214が不安定性の導入を伴うことなくマスター212の出力信号をラッチできることは明白である。

【0020】さらに、出力フリップフロップ220のマスター222は、クロック信号FAST_Rによって制御されてスレーブ214の出力信号DATA_Xを受ける。スレーブ214はクロック信号SLOW_Rによって制御されるので、また信号SLOW_R及びFAST_Rは、確実に信号SLOW_Rが信号FAST_Rと互いに同期化されるようにして同じ信号源から発生するので、マスター222が準安定性の導入を伴うことなくスレーブ214から出力される信号DATA_Xをラッチすることは明白である。

【0021】さらに、スレーブ224は、クロック信号FASTによって制御され、マスター222の出力を受ける。マスター222はクロック信号FAST_Rによって制御されるので、また信号FAST_Rは、2つのクロック間のジッタを補償するようにFAST_Rが僅かに位相が進んでいることを除けばFAST_Rの立ち上がりエッジがFASTの立ち上がりエッジと同期し、かつFAST_Rの立ち下がりエッジがFASTの立ち下がりエッジよりかなり遅れて現れるように発生するので、スレーブ224が不安定性の導入を伴うことなくマスター222の出力信号をラッチすることは明白である。

【0022】最後に、信号DATA_OUTは、クロック信号FASTによって制御され、出力フリップフロップ220のスレーブ224の出力として、やはりクロック信号FASTによって制御されるクロック・ドメインに供給される。従って、スレーブ224が不安定性の導入を伴うことなく信号DATA_OUTを出力することは明白である。

【0023】以下に説明するように、クロック・リジェネレータ230は、不安定整定遅延を導入する経路をデータ経路からクロック経路に変えることによって、SLOWとFASTのクロック・ドメインの同期化を待ち時間ゼロで行うことを可能にするものである。従って、ゼロ待ち時間シンクロナイザ200は、不安定整定遅延をデータ経路に導入することなく、低速クロック・ドメインからの信号DATA_INを確実に高速クロック・ドメインの信号DATA_OUTに同期させることができる。

【0024】速度の異なる2つのクロック・ドメインを有するシステムにおいては、全て、一方のクロック・ドメインのクロックが他方のクロック・ドメインのクロック

より高速である。シンクロナイザ200は、低速クロック・ドメインから高速クロック・ドメインへの信号を同期させるものとして示されているが、高速ドメインから低速ドメインへデータを移動させる場合についても、これと同じ技術を適用することができる。そのような場合においては、クロック・ドメインのクロックと再生クロックとの間の位相のずれを反対方向にずらすようクロック・リジェネレータを僅かに修正する。このような実施態様を実施するための詳細については、当業者であれば、本願中に記載する説明から自明であろう。

【0025】図3は、本発明により構成された簡単なクロック・リジェネレータ回路300を示す。図示のクロック・リジェネレータ300は、フェーズロックド・ループ（PLL）回路310、1/4分周回路320、進相器330及び遅延線340で構成されている。

【0026】フェーズロックド・ループ回路310には、入力としてクロック信号FASTが供給される。フェーズロックド・ループ回路310の出力は、1/4分周回路320に入力として供給され、また遅延線340にクロック信号として供給される。1/4分周回路320の出力は、再生クロック信号FAST_Rとして用いられる。また、信号FAST_Rは、進相器330を介してフェーズロックド・ループ回路310にフィードバックされる。クロック信号SLOWは、遅延線340に入力として供給され、フェーズロックド・ループ回路310の出力信号の制御下において遅延線340を通してクロッキングを行い、遅延線340から再生クロック信号SLOW_Rとして出力される。

【0027】フェーズロックド・ループ回路310は、クロック信号FASTの速度の4倍に等しい速度で動作するように設計されている。1/4分周回路320は、フェーズロックド・ループ回路310の出力信号を元の周波数に戻すよう動作するワンショット・クリア回路である。1/4分周回路320の出力は、進相器330を介してフィードバックされ、フェーズロックド・ループ回路310に入力される。進相器330は、互いに直列に結合されたインバータ332及び334により形成されている。この進相器330は、1/4分周回路320から出力される信号をわずかに進相させる。このわずかな進相の目的は、クロック信号FASTの全てのジッタあるいはフェーズロックド・ループ回路310によって導入されるジッタを補償することである。従って、1/4分周回路320から出力される再生クロック信号FAST_Rは、クロック信号FASTとほぼ同じ周波数を有する。また、クロック信号FASTのデューティサイクルは50パーセントであるが、クロック信号FAST_Rは25パーセントのデューティ信号とされている。

さらに、クロック信号FASTとFAST_Rは、信号FAST_Rの立ち上がりエッジが常に信号FASTの立ち上がりエッジに先行するように、かつFAST_R

の立ち下がりエッジがFASTの立ち下がりエッジよりかなり遅れるようにして互いに同期化される。従って、これらの条件から出力フリップフロップ220が何ら問題なく機能することは明白である。

【0028】遅延線340は、互いに直列に結合されたフリップフロップ342、344及び346によって形成されている。SLOWクロックは、遅延線340に通すことによって再生される。遅延線340の遅延は、SLOWクロックの周期の整数倍（例えば1、2、3倍等）よりほんの僅かだけ大きい。この遅延線の遅延の長さは、ハードウェアあるいはソフトウェアでプログラムすることもできるし、セルフプログラミングすることも可能である。

【0029】クロック信号SLOWは、フリップフロップ342に入力され、フェーズロックド・ループ回路310の出力信号の制御下においてフリップフロップ344、次いでフリップフロップ346を通してクロッキングを行う。フリップフロップ346の出力は、再生クロック信号SLOW_Rとして用いられる。また、信号SLOW_Rは、フリップフロップ342及び344のリセット端子にフィードバックされ、これによって遅延線340のワンショット・クリア手段を得ている。SLOW_Rのデューティサイクルを小さくするために、遅延線は“1”を送出した後“0”にクリアされる。従って、信号SLOW_Rがローからハイへ遷移すると、フリップフロップ342及び344はリセットされる（クリアされる）。そして、次のフェーズロックド・ループ・クロック（PLLクロック）が現れると同時に、再生クロック信号SLOW_Rはハイからローへ遷移する。これによって、フェーズロックド・ループ回路310の出力信号の周期がクロックSLOWの1位相の2分の1より短ければ、クロックSLOWとSLOW_Rとの間に良好な適合性が確保される。クロックFASTが実際にクロックSLOWより速く、1/4分周回路320がフェーズロックド・ループ回路310の出力を処理してクロックFAST_Rを発生させる限り、フェーズロックド・ループ回路310の出力の周期は、必ずクロックSLOWの1位相の2分の1より短くなる。

【0030】遅延線340は、不安定整定遅延をクロック経路に挿入する。従って、遅延線340の始点では、低速クロック・ドメインと高速クロック・ドメインとの間に何らかの不安定状態が起こり、遅延線340の全長を通じて（すなわち、低速クロック周期の1、2または3サイクルを経て）整定される。不安定整定遅延の長さは、遅延線340のフリップフロップ数によって決まる。従って、フェーズロックド・ループ回路310のクロックの3クロック周期より長い不安定整定遅延期間が必要な場合は、フリップフロップが遅延線340に追加される。一方、不安定整定遅延期間がフェーズロックド・ループ310のクロックの3周期より短くて十分な場

合は、1つまたは2つのフリップフロップを遅延線340から取り除くことができる。

【0031】不安定整定遅延は、データ経路ではなくクロック経路において発生するので、2つのクロック・ドメイン間のデータの転送は、遅延をデータ経路に導入する必要なく確実に行うことができる。このように、SLOW_Rは、その立ち上がりエッジがクロックSLOWの立ち上がりエッジから短い（ただし可変である）期間の後に現れる。さらに、SLOW_Rのパルス幅は短いので、SLOW_Rの立ち下がりエッジは、クロックSLOWの立ち下がりエッジのかなり前に発生する。従って、入力フリップフロップは何ら問題なく動作することは明白である。さらに、SLOW_RとFAST_Rは同じ信号源（すなわちフェーズロックド・ループ回路310）で発生するので、入力フリップフロップから出力フリップフロップへの中間のデータ転送も、何ら問題なく行われる。

【0032】図4は、データ経路に導入される待ち時間がゼロでの低速クロック・ドメインから高速クロック・ドメインへのデータ転送動作のタイミング図を示す。図4から明らかのように、クロック信号FASTの周波数はクロック信号SLOWの周波数より高い。さらに、フェーズロックド・ループから出力されるクロック信号PLLの周波数は、クロック信号FASTの周波数の4倍である。

【0033】さらに、図4から、そのクロック信号FASTとFAST_Rは、信号FAST_Rの立ち上がりエッジが信号FASTの立ち上がりエッジに常に先行するように、かつFAST_Rの立ち下がりエッジがFASTの立ち下がりエッジよりかなり遅れるように互いに同期化されるということが分かる。また、SLOW_Rの立ち上がりエッジは、クロックSLOWの立ち上がりエッジから短い（ただし可変）期間の後に現れるということも分かる。さらに、SLOW_Rのパルス幅は短いので、SLOW_Rの立ち下がりエッジは、クロックSLOWの立ち下がりエッジのかなり前に発生する。

【0034】従って、図4に示すように、入力信号DATA_INの値の変化の後には、その次のクロック信号SLOW_Rの立ち上がりエッジのところで、中間信号DATA_Xの対応する変化が起こる。一方、中間信号DATA_Xの値の変化の後には、その次のクロック信号FAST_Rの立ち上がりエッジのところで、対応する出力信号DATA_OUTの変化が起こる。従って、このタイミング図から、データは、低速クロック・ドメインから高速クロック・ドメインへ高信頼度をもって、またデータ経路の待ち時間ゼロで転送されるということが分かる。

【0035】図5は、広い動作範囲を有する本発明のもう一つの実施態様のクロック・リジェネレータ回路を示す。

【0036】クロック・リジェネレータ500は、フェーズロックド・ループ510、周波数2倍器550、1／4分周回路520、進相器530及び遅延線540によって形成されている。クロック信号FASTは、フェーズロックド・ループ510に入力として供給される。フェーズロックド・ループ510の出力は、周波数2倍器550に入力として供給される。一方、周波数2倍器550の出力は、1／4分周回路520に入力として供給され、また遅延線540にクロック信号として供給される。1／4分周回路520の出力は、再生クロック信号FAST_Rとして用いられる。また、信号FAST_Rは、進相器530を介してフェーズロックド・ループ510にフィードバックされる。クロック信号SLOWは、遅延線540に入力として供給され、フェーズロックド・ループ510の出力信号の制御下において、遅延線540を通してクロッキングを行い、再生クロック信号SLOW_Rとして遅延線540から出力される。

【0037】フェーズロックド・ループ510は、クロック信号FASTの2倍の速度に等しい速度で動作する。多くのデジタル・サブシステムは、サブシステムの2倍の周波数で動作する既往設計のフェーズロックド・ループ回路を有することがしばしばあるので、この場合、フェーズロックド・ループ510は、既に設計されている回路を用いて、サブシステムの周波数の4倍の周波数で動作するフェーズロックド・ループの場合に起こり得るように新しい周波数限界を持ち込む必要なく実施することができる。次に、フェーズロックド・ループ510の出力は、周波数2倍器550によって周波数が2倍され、クロック信号FASTの速度の4倍に等しい速度になる。1／4分周回路520は、周波数2倍器550の出力信号を元の周波数に戻すよう動作するワンショット・クリア回路である。1／4分周回路520の出力は、進相器530を介してフィードバックされ、フェーズロックド・ループ510に入力される。この進相器530は、1／4分周回路520から出力される信号をわずかに進相させる。このわずかな進相の目的は、クロック信号FASTの全てのジッタあるいはフェーズロックド・ループ回路510によって導入されるジッタを補償することである。従って、1／4分周回路520から出力される再生クロック信号FAST_Rはクロック信号FASTとほぼ同じ周波数を有する。また、クロック信号FASTのデューティサイクルは50パーセントであるが、クロック信号FAST_Rは25パーセントのデューティ信号を有する。さらに、クロック信号FASTとFAST_Rは、信号FAST_Rの立ち上がりエッジが常に信号FASTの立ち上がりエッジに先行するように、かつFAST_Rの立ち下がりエッジがFASTの立ち下がりエッジよりかなり遅れるように互いに同期化される。従って、これらの条件から図2の出力フリップフロップ220が何ら問題なく機能することは明白で

ある。

【0038】遅延線540は、非同期クリア端子を有するワンショット遅延線である。SLOWクロックは、遅延線540に通すことによって再生される。遅延線540の遅延は、SLOWクロックの周期の整数倍（例えば1、2、3倍等）よりほんの僅かだけ大きい。この遅延線の遅延の長さは、ハードウェアあるいはソフトウェアでプログラムすることもできるし、セルフプログラミングすることも可能である。

10 【0039】クロック信号SLOWは、遅延線540に入力され、フェーズロックド・ループ510の出力信号の周波数を2倍した信号の制御下において、遅延線540を通してクロッキングを行う。遅延線540の出力は、再生クロック信号SLOW_Rである。遅延線540は、SLOW_Rのデューティサイクルを小さくするために、非同期ワンショット・クリア手段を有し、またこの遅延線は、“1”を送出した後非同期で“0”にクリアされる。従って、信号SLOW_Rがローからハイへ遷移すると、再生クロック信号SLOW_Rは、次のフェーズロックド・ループの出力クロックが現れる前に非同期でハイからローへ遷移する。遅延線540の出力を別個の单安定回路によって制御される短いパルスとすることにより、リセットをフェーズロックド・ループ510の出力に連動させる場合よりも広い動作範囲を得ることができる。この非同期リセット方式では、クロックSLOWとSLOW_Rの間に良好な適合性が確保される一方、フェーズロックド・ループ510の出力の周期はクロックSLOWの1周期の2分の1より短くなければならないという制限をなくすことができる。実際、遅延線540を非同期クリアにすることによって、クロック・リジェネレータ500は、本願でSLOWと称するクロックの周波数が本願でFASTと称するクロックの周波数より僅かに高いときでも、正しく動作する。

20 【0040】遅延線540は不安定整定遅延をクロック経路に挿入する。従って、遅延線540の始点では、低速クロック・ドメインと高速クロック・ドメインとの間に何らかの不安定状態が起こり、遅延線540の全長を通って（すなわち、低速クロック周期の1、2または3サイクルを経て）整定される。このようにして、SLOW_Rは、その立ち上がりエッジがクロックSLOWの立ち上がりエッジから短い（ただし可変）期間の後に現れる。さらに、SLOW_Rはパルス幅が短いために、SLOW_Rの立ち下がりエッジはクロックSLOWの立ち下がりエッジのかなり前に発生する。従って、入力フリップフロップが何ら問題なく動作することは明白である。さらに、SLOW_RとFAST_Rは同じ信号源（すなわちフェーズロックド・ループ回路510）で発生するので、入力フリップフロップ210から出力フリップフロップ220への中間のデータ転送も、何ら問題なく行われる。

【0041】図6は、クロック・ドメインの相対速度があらかじめ知られていないシンクロナイザで使用するのに好適なセルフプログラミング・ディジタル遅延線を示すブロック図である。図示のセルフプログラミング遅延線600は、フリップフロップ602、604、606、位相周波数検出器640、アップダウン・カウンタ610、ORゲート630、及びANDゲート622、624、626によって形成されている。

【0042】クロック信号SLOWは、フリップフロップ602、604及び606を直列に接続することにより形成される遅延線に入力として供給される。フェーズロック・ループで発生したクロック信号PLL_CLOCKは、フリップフロップ602、604及び606を制御し、従って遅延線中のクロック信号SLOWの伝播を制御する。フリップフロップ606、すなわち遅延線の最終段のフリップフロップの出力は、フリップフロップ602及び604のリセット端子にフィードバックされ、これによって、セルフプログラミング遅延線600のワンショット同期リセット手段を得ている。

【0043】クロック信号SLOW及びフリップフロップ606の出力は、位相周波数検出器640に入力として供給される。位相周波数検出器は、その2つの入力を比較し、それらの相対値に応じて、信号UPまたはDOWNをアップダウン・カウンタ610に供給する。アップダウン・カウンタ610は、それぞれフリップフロップ602、604及び606に対応するレジスタ612、614及び616によって形成されている。フリップフロップ602の出力とアップダウン・カウンタ610の対応するレジスタ614の出力は、ANDゲート624によって互いに結合される。さらに、フリップフロップ606の出力とアップダウン・カウンタ610の対応するレジスタ616の出力は、ANDゲート626によって互いに結合される。ANDゲート622、624及び626の各出力は、ORゲート630に入力として供給される。一方、ORゲート630の出力は、再生クロック信号SLOW_Rとして用いられる。

【0044】このように、出力として信号SLOW_Rを供給する遅延線のフリップフロップ、従って遅延線の長さは、セットされたアップダウン・カウンタ610の特定のレジスタによって決定される。一方、セットされたアップダウン・カウンタ610の特定レジスタは、位相周波数検出器640によって行われるクロック信号SLOWと遅延線の最終段フリップフロップ（クロック信号FASTから生じた信号PLL_CLOCKによって制御される）の出力との比較によって決定される。従って、セルフプログラミング遅延線600は、信号SLOWとFASTとの相対周波数に基づき再生クロック信号

SLOW_Rに与える不安定整定遅延を自動的に調節して正しい遅延を得る。

【0045】本願で開示したシンクロナイザ回路は、例えば、プロセッサをバスに同期させるために応用することができる。例えば、バスのクロック速度より速いクロック速度で動作するプロセッサをシンクロナイザ200によってバスと接続した場合は、クロックFASTがプロセッサのクロックになり、クロックSLOWがバスのクロックになる。そして、プロセッサからのデータは、信号DATA_INのデータであり、バスへのデータは信号DATA_OUTのデータになる。一方、バスのクロック速度より遅いクロック速度で動作するプロセッサをシンクロナイザ200によってバスと接続した場合は、クロックFASTがバスのクロックになり、クロックSLOWがプロセッサのクロックになる。そして、バスからのデータは、信号DATA_INのデータであり、プロセッサへのデータは信号DATA_OUTのデータになる。

【0046】以上、本発明の方法及び装置を実施例により詳細に説明したが、当業者ならば、本発明が、特許請求の範囲の記載による要旨及び範囲を逸脱することなく、修正態様及び変更態様によって実施可能なことは理解できよう。従って、本願の明細書及び図面は、限定的な意味ではなく、例示説明を目的とした意味で解釈すべきである。

【0047】

【発明の効果】本発明によれば、データ転送の信頼性を犠牲にすることなく、クロック・ドメイン間において高速で確実にデータを転送することができる。

【図面の簡単な説明】

【図1】 従来技術のシンクロナイザを用いて2つのクロック・ドメインの間で伝送される信号を同期させる2クロック・ドメイン・ディジタルシステムのブロック図である。

【図2】 本発明により構成されたゼロ待ち時間シンクロナイザのブロック図である。

【図3】 本発明により構成された簡単なクロック・リジェネレータ回路を示すブロック図である。

【図4】 データ経路に導入される待ち時間ゼロによる低速クロック・ドメインから高速クロック・ドメインへのデータ転送を表すタイミング図である。

【図5】 本発明によるもう一つの実施例のクロック・リジェネレータ回路を示すブロック図である。

【図6】 クロック・ドメインの相対速度があらかじめ知られていないシンクロナイザでの使用に適したセルフプログラミング・ディジタル遅延線を示すブロック図である。

【符号の説明】

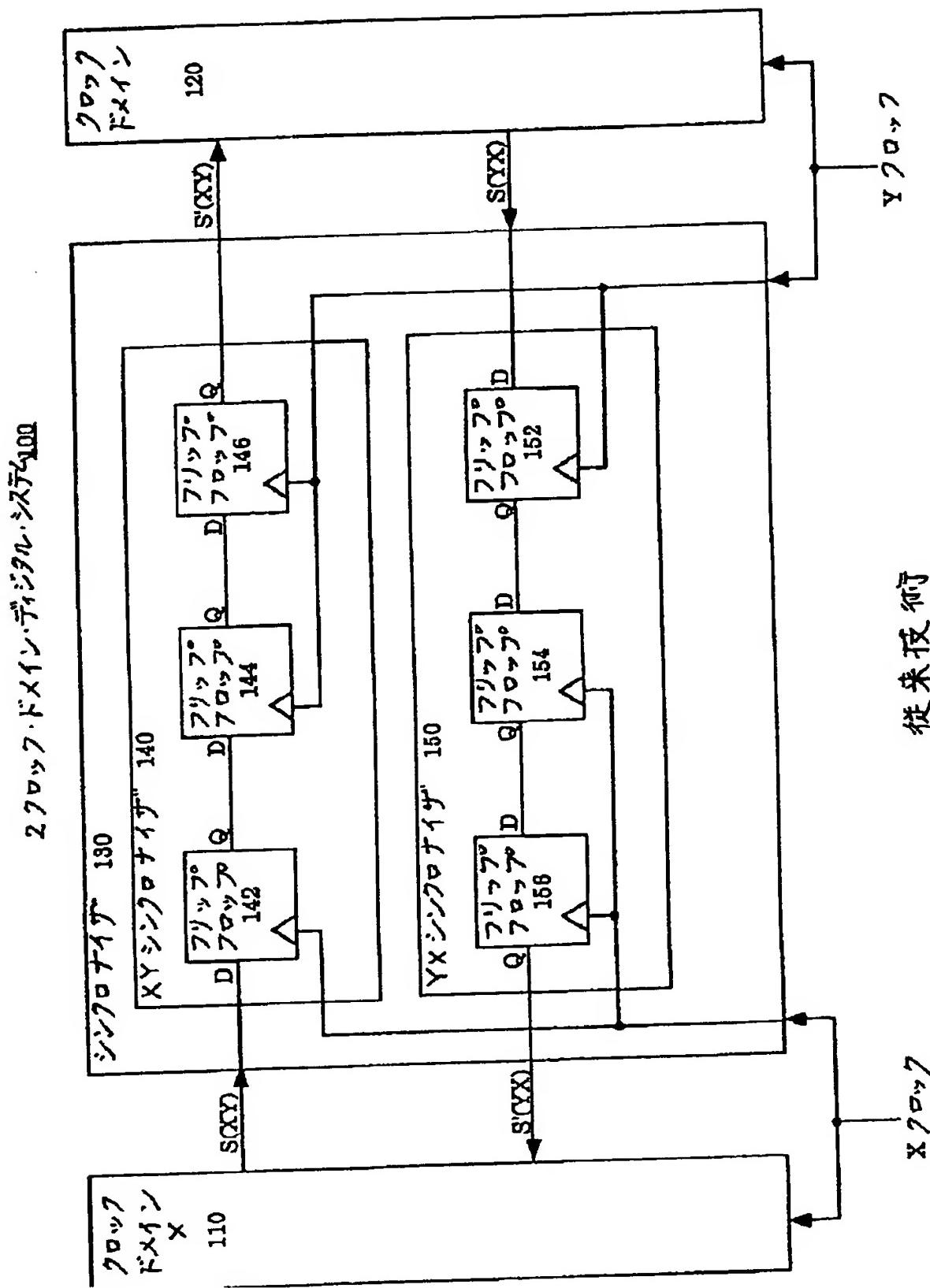
200 ゼロ待ち時間シンクロナイザ、210 入力フリップフロップ、220 出力フリップフロップ、230

15

16

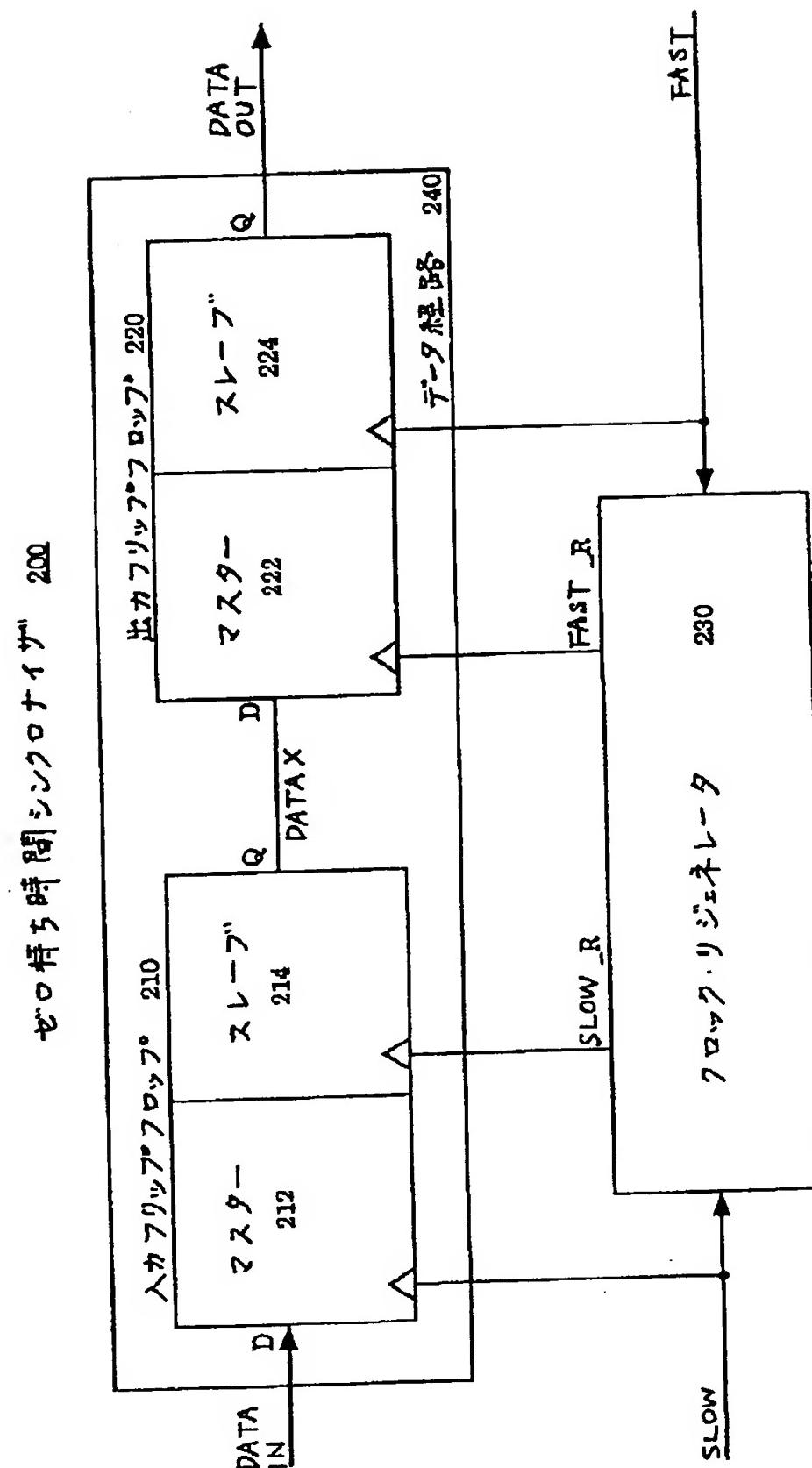
クロック・リジェネレータ、240 データ経路。

【図1】

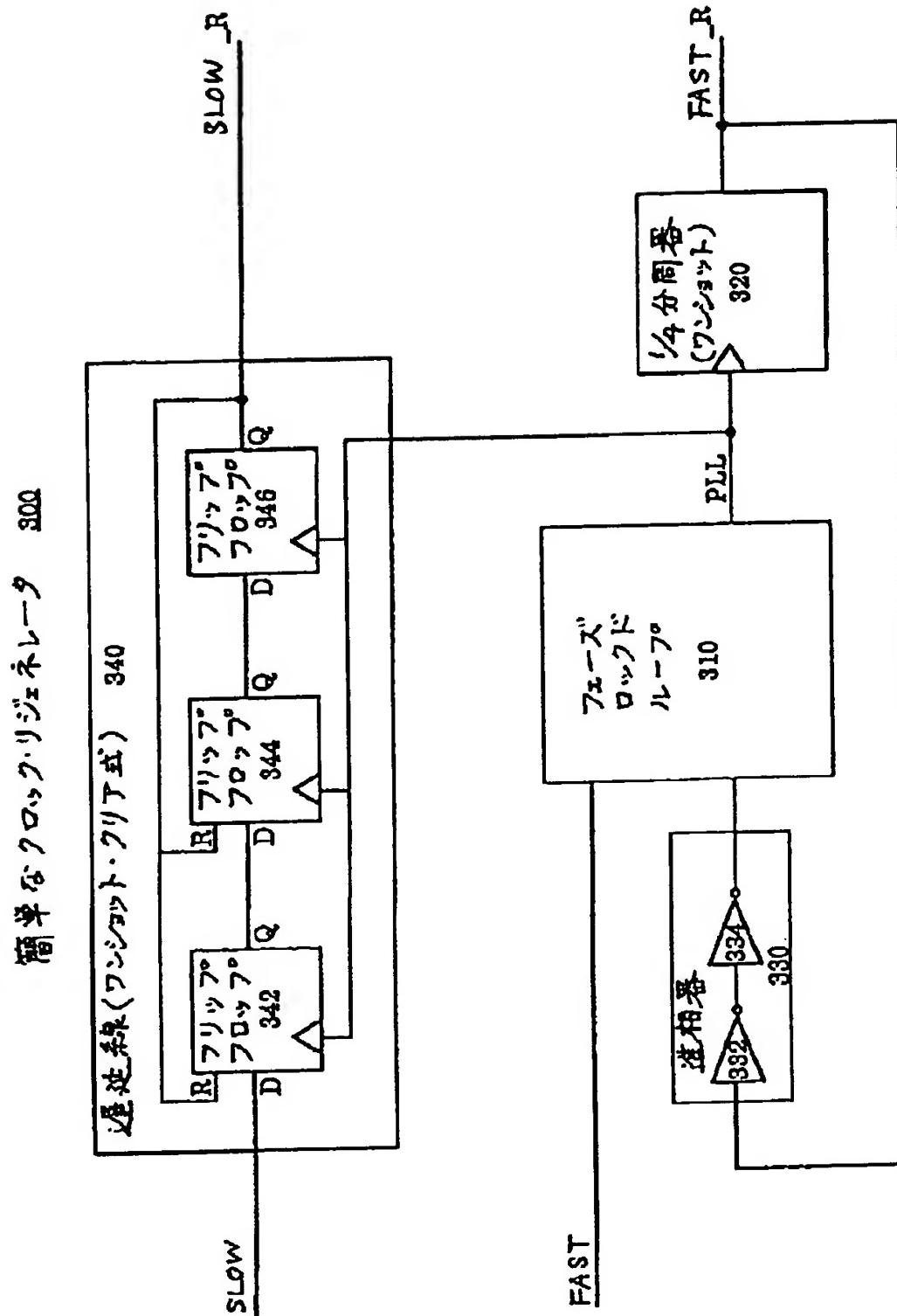


(10)

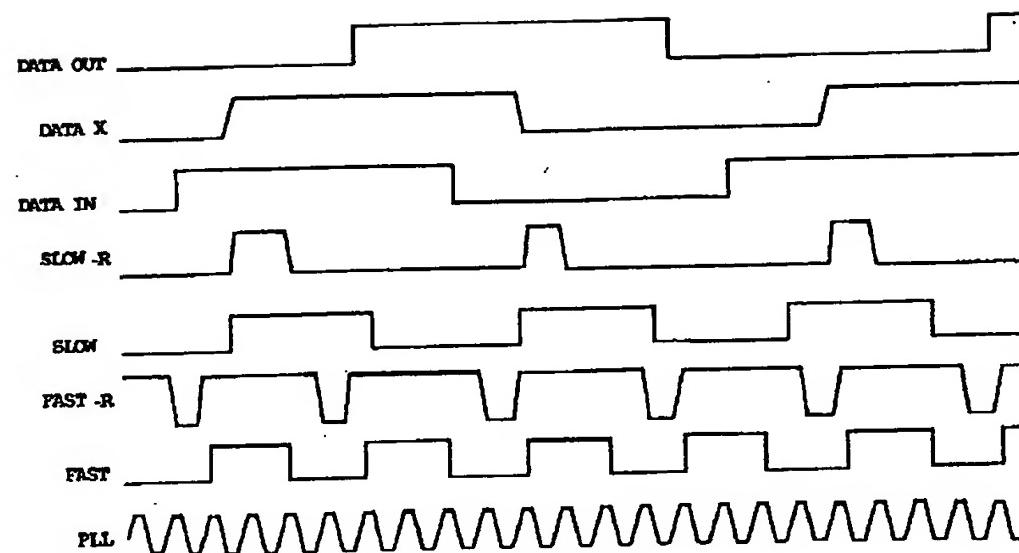
【図2】



【図3】

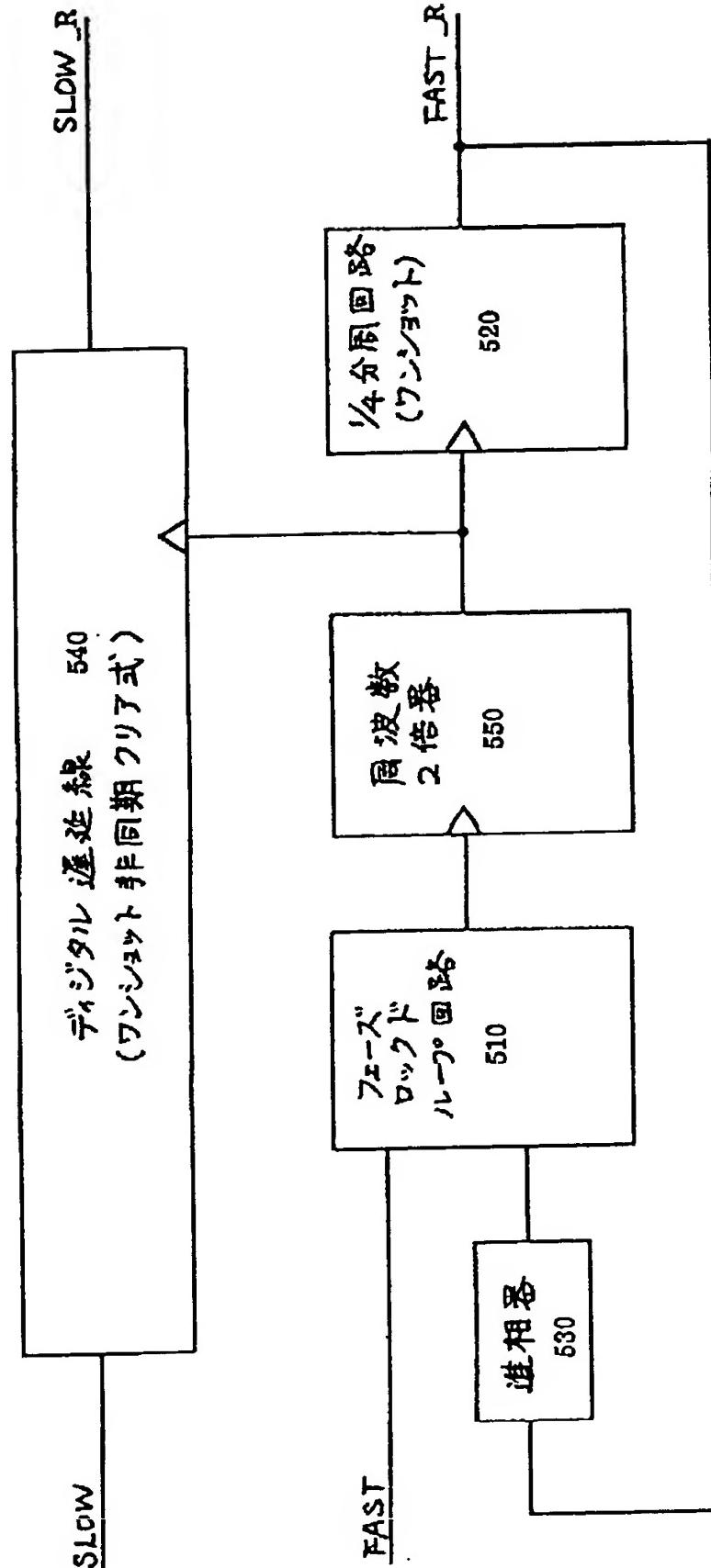


【図4】



(13)

[図5]



クロック・リレーターのモルーフの実施態様 500

【図6】

